

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平4-98864

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成4年(1992)3月31日
H 01 L 23/50 Y 9054-4M

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 樹脂封止型半導体装置

⑯ 特 願 平2-216146

⑰ 出 願 平2(1990)8月16日

⑱ 発 明 者 高 崎 由 佳 子 熊本県熊本市八幡町100番地 九州日本電気株式会社内
⑲ 出 願 人 九州日本電気株式会社 熊本県熊本市八幡町100番地
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

樹脂封止型半導体装置

特許請求の範囲

半導体チップを含んで封止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に導出した外部リードとを有する樹脂封止型半導体装置において、前記外部リードの側面より閉合外部リードへ向けて突出した支持部と、閉合外部支持部の間に介在させて閉合外部支持部を互に連結する絶縁体とを備えたことを特徴とする樹脂封止型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は樹脂封止型半導体装置に関する。

(従来の技術)

従来の樹脂封止型半導体装置は、図5図及び図

6図に示すように、アイランド1の周囲に配置して設けた内部リード2と、内部リード2に接続して樹脂封止領域3の外側に設けた外部リード4と、閉合外部リード4の相互間を接続して支持するタイバー5とを有してリードフレームを構成し、アイランド1の上に半導体チップを搭載して樹脂体8で封止し、外部リード4をリードフレームから切断し、タイバー5を切断し、外部リード4を露出させて半導体装置を形成する。

(発明が解決しようとする課題)

上述した従来の樹脂封止型半導体装置は、外部リードが樹脂体より平行に突き出立して導出されているので、外部リードが曲がる等の変形を生じ実装時に半田付けの信頼性が低下するという欠点がある。

(課題を解決するための手段)

本発明の樹脂封止型半導体装置は、半導体チップを含んで封止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に導出した外部リードとを有する樹脂封止型半導体装置にお

いて、前記外部リードの側面より隔合う外部リードへ向けて突出した支持部と、隔合う前記支持部の間に介在させて隔合う支持部を互に連絡する絶縁体を備えている。

(実施例)

次に、本発明について図面を参照して説明する。

第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体設置の側面図である。

第1図に示すように、アイランド1の周囲に設置して設けた内部リード2と、内部リード2と接続して絶縁防止領域3の外側に設けた外部リード4と、絶縁防止領域3の近傍に設けて外部リード4の相互間を接続して支持するタイバー5と、絶縁防止領域3より離れた位置の外部リード4の側面より隔合う外部リードへ向けて突出し、且つ先端が互に入り組むように凸部と凹部に形成された支持部6と、隣接する支持部6の間に介在させて支持部6を互に連絡する絶縁体7とを有してリー

ドフレームが構成される。

次に、第2図に示すようにアイランド上に半導体チップ（図示せず）を搭載し、半導体チップと内部リード間を電気的に接続し、絶縁体8により内部リード間を対しし、リードフレームより外部リード4及びタイバーを切除し、外部リード4を整形して半導体設置を構成する。

第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体設置の側面図である。

第3図及び第4図に示すように、隔合う外部リード4の側面に設けた支持部6が絶縁防止領域3の近傍に設けられ、タイバー5が支持部6の外側に設けられている以外は第1の実施例と同様の構成を有しており、支持部6を連絡する絶縁体7を絶縁防止工程と同時に形成でき、製造工程を簡便できる効果を有する。

(発明の効果)

以上説明したように本発明は、外部リードの側面に設けた支持部の間に絶縁体を介在させて隔合

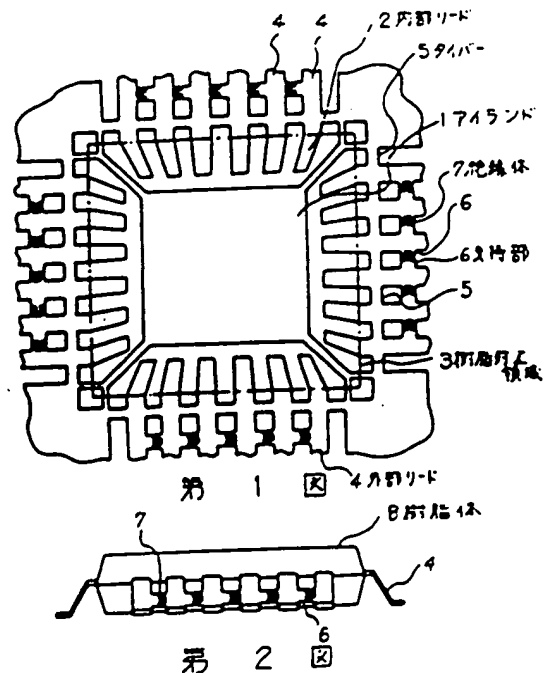
う外部リード相互間を連絡することにより、外部からの衝撃によるリード変形の防止、及び実装時の半田付の信頼性を向上させるという効果を有する。

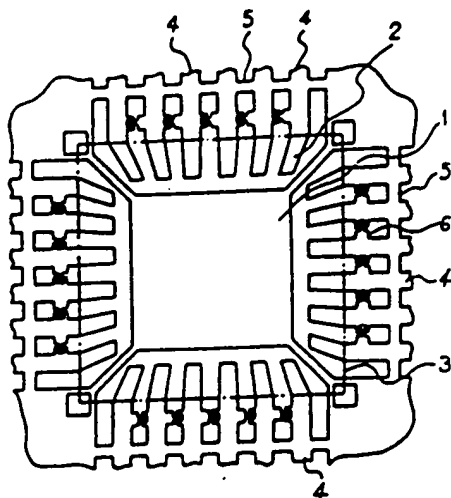
図面の簡単な説明

第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体設置の側面図、第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体設置の側面図、第5図及び第6図は従来のリードフレームの一例を示す平面図及び半導体設置の側面図である。

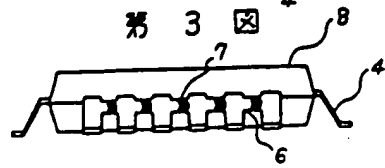
1…アイランド、2…内部リード、3…絶縁防止領域、4…外部リード、5…タイバー、6…支持部、7…絶縁体、8…絶縁体。

代理人 弁理士 内 原 晋

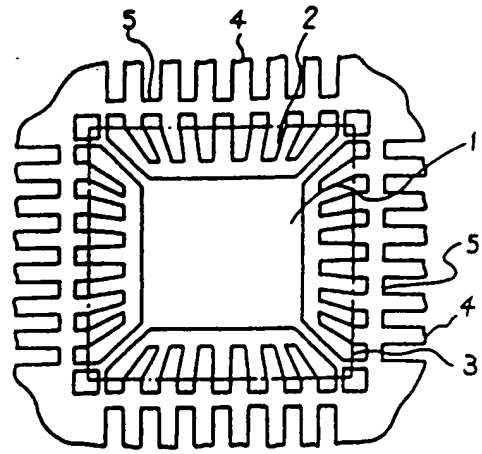




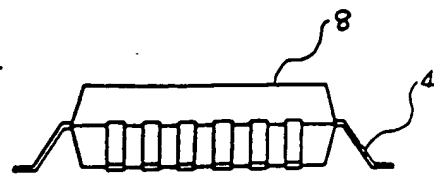
第 3 図



第 4 図



第 5 図



第 6 図

CLIPPEDIMAGE= JP401106456A
PAT-NO: JP401106456A
DOCUMENT-IDENTIFIER: JP 01106456 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 24, 1989

INVENTOR-INFORMATION:

NAME

KURODA, HIROSHI

TAKASE, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP62263435

APPL-DATE: October 19, 1987

INT-CL (IPC): H01L023/50; H01L023/28

US-CL-CURRENT: 257/666,257/787

ABSTRACT:

PURPOSE: To make an electrode terminal not to come off due to external force and thermal strain by providing the end surface of a lead frame substrate with a stair part having more than one step and performing molding with sealing resin in a shape of covering the stair part.

CONSTITUTION: An IC chip 16 is mounted on the other main surface 14 of a die pad 11, and a pad of the IC chip and the other main surface 14 of an electrode terminal 12 are bonded with a wire 17 so as to be continuously molded with sealing resin 18 on the almost level with one main surface 13 by a transfer method so that the electrode terminal and the main surface 13 of the die pad 11 may be exposed. At this time, a stair part 15 provided on a lead frame 20 is also covered with sealing resin 18. Thereby, a reinforcing bar 19 exposed to an end surface of sealing resin 18 is also of the same projection type so as to have very strong structure against coming-off even to external force.

RESIN SEALED TYPE SEMICONDUCTOR DEVICE

Patent Number: JP4098864
Publication date: 1992-03-31
Inventor(s): TAKASAKI YUKAKO
Applicant(s): NEC KYUSHU LTD
Requested Patent: ☐ JP4098864
Application Number: JP19900216146 19900816
Priority Number(s):
IPC Classification: H01L23/50
EC Classification:
Equivalents:

Abstract

PURPOSE: To protect outer leads against deformation such as bend and to prevent soldering from deteriorating in reliability by a method wherein a support protruding from the side face of the outer lead toward an adjacent outer lead and insulators provided between the adjacent supports so as to connect them together are provided.

CONSTITUTION: A lead frame is provided with inner leads 2 provided around an island 1, outer leads 4 provided outside a resin sealed region 3 and connected to the inner leads 2, a tie bar 5 provided near the resin sealed region 3 to support the outer leads 4 interlinking them together, a support 6 whose ends are projected and recessed so as to enable them to be engaged with each other and which protrude from the side face of the outer lead 4 distant from a resin sealed region toward the adjacent outer lead 4, and an insulator 7 provided to be interposed between the adjacent supports 6 so as to interlink the supports 6 together. By this setup, leads can be protected against deformation caused by external shock and improved in reliability of soldering at mounting.

Data supplied from the esp@cenet database - I2